

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-156554  
 (43)Date of publication of application : 08.06.2001

(51)Int.Cl.

H03F 1/32  
 H03F 1/02  
 H03F 1/34  
 H03F 3/24  
 H03M 3/02

(21)Application number : 2000-309898

(71)Applicant : MA-COM EUROTEC

(22)Date of filing : 10.10.2000

(72)Inventor : BURTON DAVID PHILIP  
 HEANEY EUGENE PATRICK  
 NAGLE PIERCE JOSEPH

(30)Priority

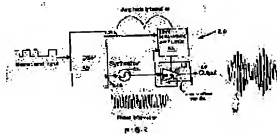
Priority number : 1999 99119900 Priority date : 08.10.1999 Priority country : EP

(54) SYSTEM AND METHOD FOR TRANSMITTING DIGITAL INFORMATION BY USING  
 INTERLEAVED DELTA MODULATION

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method and a system for linearizing a power amplifier.

SOLUTION: A transmitter that directly modulates a high frequency carrier accompanied with a composite base band waveform is provided with a programmable device that totally generates amplitude and phase information corresponding to the composite base band waveform, a signal generator that generates the high frequency carrier whose phase is in response to the phase information generated by the programmable device, a plurality of delta modulators and an amplifier that is coupled with the signal generator and receives the high frequency carrier accompanied with the phase information. Each of the delta modulators is operated to sample an error signal at a time interval shifted from that of all other delta modulators to generate a pulse stream totally approximating an amplitude signal. The voltage supplied to the amplifier is adjusted according to approximated amplitude information expressed by the pulse stream generated by the delta modulator. The supplied voltage is adjusted to be nearly linearly changed with its change. This method applies both the amplitude information and the phase information onto the high frequency carrier.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of

BEST AVAILABLE COPY

## Searching PAJ

rejection]

[Kind of final disposal of application other than  
the examiner's decision of rejection or  
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## \* NOTICES \*

JP0 and NCIP1 are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**


---

[Claim(s)]

[Claim 1] The programmable device which generates the amplitude and topology in the gross corresponding to the compound baseband wave which is the transmitter which carries out direct modulation of the high frequency subcarrier which has a compound baseband wave, and was chosen. The signal generator which generates the RF subcarrier to which the phase answered the topology generated with said programmable device, By operating so that an error signal may be sampled with the time interval each shifted [ time interval ] from all other delta modulation machines Two or more delta modulation machines which generate the pulse style approximated to said amplitude signal in the gross. The amplifier which receives said RF subcarrier which is combined with said signal generator and has topology is provided. When the supply voltage of said amplifier is adjusted according to the approximation amplitude information expressed by said pulse style, consequently the output voltage of said amplifier changes to an abbreviation linear with change of said supply voltage The transmitter with which said both amplitude information and said topology are characterized by being impressed on said RF subcarrier.

[Claim 2] Each of said delta modulation machine has a comparator, and this comparator is  $1-N$  about the sum total of a sampling rate. Transmitter according to claim 2 characterized by carrying out a clock according to an individual by the time amount which shifted from each adjoining comparator by what is doubled (N is the total of a comparator).

[Claim 3] The transmitter according to claim 2 characterized by carrying out the clock of each of said comparator with the phase from which only  $360 \text{ degrees}/N$  shifted [ comparator / adjoining / each ].

[Claim 4] The transmitter according to claim 1 characterized by providing further the encoder which codes the outputted pulse style by said data modulator in digital one.

[Claim 5] The transmitter according to claim 4 characterized by carrying out the toggle of said each switch to order so that it may be turned on, in order that said encoder may read the modulator pulse style corresponding to each sampling period once in relation to the modulator with which each of this switch corresponds including two or more switches.

[Claim 6] The transmitter according to claim 5 characterized by including further the ring counter possessing the flip-flop (the number of the modulators by which N is sampled with said two or more switches) of serial N individual.

[Claim 7] The transmitter according to claim 5 characterized by including further the m bit updown counter (a number of a modulator of binary displays by which m was sampled with said two or more switches) which receives the output of two or more of said switches.

[Claim 8] The transmitter according to claim 7 characterized by including further Class S modulator possessing m parallel change mode transistors which receive the input from said updown counter, respectively.

[Claim 9] The process which receives the amplitude information which is the actuation approach of a transmitter of transmitting the compound baseband wave modulated on the high frequency subcarrier, and is derived from said compound baseband wave. The process which receives the RF subcarrier which conveys the topology derived from said compound baseband wave. By being the process which samples an error signal with two or more delta modulation vessels, and

sampling with the time interval [ time interval ]  
from all other modulators Amplifier receives the process which generates the pulse style which  
approximates said amplitude information in the gross, and said RF subcarrier accompanied by  
topology. When the supply voltage of amplifier is adjusted, consequently the output of said  
amplifier changes to an abbreviation linear with change of said supply voltage according to the  
approximation amplitude information expressed by the pulse style The transmitter actuation  
approach characterized by impressing said both amplitude information and said topology on a RF.

---

[Translation done.]

## \* NOTICES \*

JPO and NCIPJ are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

#### [0001]

[Field of the Invention] This invention relates to the approach and equipment which make power amplifier a linear (linear) at a detail further about power amplifier.

#### [0002]

[Description of the Prior Art] In a cellular-phone technique, rapid and large technological innovation has been brought about by competition. Current and an analog cellular phone system are competing with the digital \*\*\*\*\* system. In order to make into max the number of subscribers connected by the single cellular-phone system, the reuse of a frequency is made to maximize by making small the cel site according to individual (cell sites), and covering the same geography field using a more numerous cel site. As a result of the number of the base stations of a cellular phone increasing in connection with this, the cost of infrastructure has increased. In order to avoid this cost increase, the provider of cell phone service is anxious for the implementation of technological innovation which can increase the quality and dependability of service like the number of subscribers with which device cost, maintenance, restoration cost, and operation cost can be reduced, or a cellular phone is connected.

[0003] Much of these technological innovation is turned to the quality-of-service improvement of a smaller and lightweight cellular phone etc. which has extended digital PCS service and the dc-battery of a longer life. In execution of the latter purpose, it is understood that it is a solution means to improve the effectiveness of the high-frequency power amplifier used for amplifying a high frequency (RF) signal on the level suitable for transmission in a network. The effectiveness of a high-frequency power amplifier has big effect on the battery life of pocket devices, such as a pocket transmitter. Amplifier consumes almost all the power that a device uses because it is a type. Therefore, the pocket transmitter is anxious for efficient power amplifier. It is only that C, D, E, and the power amplifier of Class F have the capacity to generate a constant amplitude output. However, many latest transmitter designs need the un-fixed amplitude RF output which makes max the rate (rate) of the data within predetermined channel bandwidth.

[0004] A suitable linear high-frequency amplifier can be manufactured using a gallium arsenide device. However, it is thought that a gallium arsenide device is expensive in a current applicable field many. On the other hand, MOS is a suitable process which manufactures a semiconductor device because of the low manufacturing cost and high yield. However, since MOS was that there is no linear nature in case it carries out efficient amplifier, it was not suitable for manufacture of the linear high-frequency amplifier from the former. By such linear nature lack, a remarkable distortion arises in the output signal of amplifier. In order to attain linear and efficient power amplifier, the attempt of various linear-izing has been proposed in this industry.

[0005] The antinomy (trade-off) existed in the design of the conventional linear power amplifier between effectiveness and linear nature. A pole modulation (polar modulation) is a technique well-known in this industry which attains the linear nature and effectiveness of RF power amplifier to coincidence. Moreover, the pole modulation is well-known also as envelope removal and restoration (envelope elimination and restoration: call it Following EER). A certain RF input signal is decomposed into that pole component, i.e., a phase, and the amplitude in this technique.

Since the linear RF output signal which was amplified independently a signal was amplified is generated, re-composition (recombine) of these two sorts of pole components is carried out. It is a type that the phase component of a RF input signal is amplified by the constant amplitude amplifier which optimizes effectiveness. It is a type that the amplitude of a RF input signal, i.e., the component of an envelope, is amplified by the switch-mode power supply of a constant amplitude amplifier which operates as a power source on output stage stories at least.

[0006] The various technique of using a pole modulation is explained by the cock and the Fischer lecture "the 835MHz RF linear power amplifier for digital cellular phones" (May 3, 1989 holding) of the Kern work "the single side band transmission by envelope removal and restoration" (the July, 1952 issue, 803-806 pages), and 39th IEEE migration technical meeting. Drawing 1 is the block diagram of the conventional high-frequency amplifier 10 using an above-mentioned EER technique. In the amplifier shown in drawing 1, the RF input signal 12 is first decomposed into the pole component. These pole component consists of a phase which is a constant amplitude signal, and amplitude which is a low frequency envelope signal. A phase and an amplitude component are amplified independently in accordance with another paths 15 and 11, respectively. Next, a phase and an amplitude component are re-compounded so that the RF output signal 19 amplified by the linear may be generated.

[0007] A phase component is extracted from a RF input signal by the limiter 16, and is amplified by constant amplitude amplifier with the sufficient effectiveness which consists of a non-linear phase output stage story 18 from that of the non-linear preamp 17 and effectiveness. The amplitude component which has channel bandwidth and the bandwidth which can be compared is extracted from a high frequency input signal by the envelope detector 13, and is amplified by the linear baseband amplifier 14. In order to maximize effectiveness, the linear baseband amplifier 14 is carried out using the power source in the switch mode in which it has a class D amplifier as an output stage story.

[0008] Pulse Density Modulation is used for operation of the present switch-mode power supply. The output of such a power source is a square wave to which a mark space ratio expresses the amplitude component of a RF input signal. However, if Pulse Density Modulation is used for amplifying an amplitude component, distortion of an intermodulation will be brought to a RF output. Therefore, it is desirable to offer the efficient high-frequency amplifier which can manufacture using low cost processes, such as MOS, and amplifies a RF input signal to a linear.

[0009]

[Means for Solving the Problem] The above-mentioned purpose is a transistor which carries out direct modulation of the high frequency subcarrier (RF carrier) which has a compound baseband wave. The programmable device which generates the amplitude and topology in the gross corresponding to a compound baseband wave, The signal generator which generates the RF subcarrier which the phase answered to the topology generated by this programmable device. It is attained by the transistor possessing two or more delta modulation machines and the amplifier which receives the high frequency subcarrier which is combined with a signal generator and has topology. Each delta modulation machine generates the pulse style which approximates amplitude information in the gross by operating so that an error signal may be sampled with the time interval [ machines / all / other / delta modulation ] shifted. The supply voltage of an amplifier is adjusted according to the approximated amplitude information which is represented by the pulse style generated with the delta modulation vessel. Especially, supply voltage is adjusted so that the output voltage of amplifier may change to an abbreviation linear with change of supply voltage. By this approach, the both sides of amplitude information and topology are impressed on a RF subcarrier.

[0010] The actuation approach of a transistor of transmitting the compound baseband wave modulated on the high frequency subcarrier The process which receives the amplitude information derived from a compound baseband wave, and the process which receives the RF subcarrier which conveys the topology derived from a compound baseband wave. It consists of a process which samples an error signal using each delta modulation machine which samples an error signal with the time interval [ machines / all / other / delta modulation ] shifted using two or more delta modulation machines, and is characterized by generating the pulse style which

approximates amplitude information in the gross by this. This approach further the process which uses topology for an amplifier and receives a high frequency subcarrier, and the process from which the output voltage of an amplifier changes to an abbreviation linear with change of supply voltage by adjusting the supply voltage of an amplifier according to the approximation amplitude represented by delta modulation by the pulse output style, and, thereby, impresses the both sides of the amplitude and topology on a high frequency subcarrier.

[0011]

[Embodiment of the Invention] Hereafter, the operation gestalt of this invention is explained with reference to an accompanying drawing. This invention offers the RF power amplifier in which the efficient and high linear nature partially based on the pole modulation concept mentioned above in relation to drawing 1 is shown. The suitable operation gestalt of this invention includes the phase magnification way which amplifies the constant amplitude phase component of a RF input signal. A phase magnification way contains the phase output stage story of a non-linear with the well head as which any of C class output stage story, D class output stage story, Class E output stage story, or Class F output stage story are sufficient. Fundamentally, an output swing can use any efficient power amplifier which follows impression supply voltage to a linear. Although the amplitude component of a high frequency input signal is amplified on another amplitude magnification way which went via the format (scheme) of the interleaved unique efficient delta modulation, it is later stated to a detail. The output stage story of the amplitude amplifier by which delta modulation was interleaved and carried out is efficient D class, Class E, or Class F amplifier which supplies the supply voltage for phase output stage stories suitably. The amplitude component output amplified by the amplitude amplifier by which delta modulation was interleaved and carried out carries out amplitude modulation of the RF output signal generated on the phase output stage story by changing the supply voltage of a phase output stage story.

[0012] To the linear nature of the predetermined level usually fixed as an actuation parameter of the communication network where a telephone is used, the format of the pulse width which the modulation system of the conventional technique uses, and a delta modulation amplitude amplifier consumes bigger power in manufacture of a RF output signal rather than the power consumed by assistance of the delta modulation amplitude amplifier with which this invention was interleaved. Therefore, this invention offers a more efficient modulation rather than it is provided by the conventional technique.

[0013] Drawing 2 is the block diagram with which the amplifier 20 incorporating the interleaved delta modulation according to the suitable operation gestalt of this invention was simplified. The interleaved delta modulation (IDM) amplitude magnification module 22 which is used for the structure shown in drawing 2 is suitable for the use in the amplitude magnification path of RF power amplifier as shown in drawing 1. However, with the operation gestalt of instantiation shown in drawing 2 Rather than it receives the RF input signal which must carry out envelope removal first in order to decompose a compound baseband wave into another (it is (like [ in the case of drawing 1 ])) phase, and an amplitude information signal rather Before the independent process according to this invention advances, it will be understood that the amplifier 20 of drawing 2 uses programmable devices, such as a digital signal treater (DSP), and generates and supplies the amplitude and a topology signal separately in another output ports 24a and 24b. These information signals correspond to the selected compound baseband wave in the gross, and are transmitted as a RF output signal amplified ultimately. Thus, as shown in drawing 2, the need for a limiter and an envelope detector is lost, and an amplitude signal and a phasing signal are outputted to the ports 24a and 24b of DSP24.

[0014] If drawing 2 is continued and referred to, it will be understood that topology is turned to the signal generator 26, i.e., the synthesizer, which generates the RF subcarrier to which a phase answers the topology generated in DSP24. for this reason, the RF in which a RF subcarrier does not include amplitude information only including topology — a law — it is an envelope signal. A RF subcarrier is efficiently amplified by the non-linear power amplifier 28. According to this invention, the electric power supply of power amplifier 28 is modulated by the low frequency amplitude information signal created by DSP24. Amplitude information is turned to the interleaved delta modulation (IDM) module 22 which is explained to a next detail for this purpose.

The IDM module 22 generates the digital bit style showing approximation of the compound baseband wave-amplitude component transmitted by which the time amount interleave was carried out. Current and the IDM module 22 have two or more delta modulation machines, it operates in order to sample an error signal with the time interval each delta modulation machine shifted [ time interval ] from all other delta modulation machines, and each of that output is enough to say that it is combined since the pulse style approximated in the gross [ the amplitude component of the compound baseband wave W transmitted ] is generated. According to this invention, it is a digital pulse style which modulates the electric power supply of power amplifier 28 and by which the time amount interleave was carried out.

[0015] Using the delta modulation interleaved since power amplifier was driven by this invention shows the big advance beyond the conventional delta modulation (DM) technique the block diagram simplified by drawing 3 is indicated to be. In the standard DM structure 30, since the input (only low frequency amplitude information component of compound baseband wave is conveyed) envelope signal Sen generates an error signal Ser, being compared with the approximate value Sa of an envelope will be understood by this contractor. The feedback loop possessing a subtractor 32 tries to make an error signal Ser into min, and it guarantees making approximate value approach as much as possible to an input signal. For this purpose, an error signal Ser is sampled with the single bit-comparison vessel 34, and generates the digital pulse style Sp. Next, digital to analog of the pulse style Sp is carried out by the filter and the integrator 36, and it generates the approximate value compared with the input envelope signal Sen with a subtractor 32 below. In the transmitter and the receiver system after completion, a receiver edge will be integrated with the pulse output by the comparator 34, and it will recover the approximate-value signal.

[0016] Drawing 4 shows the conventional more complicated DM format. Drawing 4 shows further the output of the single bit-comparison machine 34 impressed to the gate of the passage (pass) transistor 38. Thereby, the supply voltage impressed to the RF power amplifier 40 is modulated so that the amplitude may be recovered in the suitable amount of gains to the RF subcarrier which conveys only topology. The envelope detector 42 and an attenuator 44 process the return signal from power amplifier 40 within a subtractor 32 for a comparison.

[0017] The main advantages of the single DM format on Pulse Density Modulation are there being few transient sections far and being able to carry out using the switched comparatively easy and strong capacity circuit using a CMOS technology. In order to obtain sufficient linear nature, it will be easily understood by this contractor that the RF bandwidth of a signal must be sampled at least 3 times more correctly. It is more easy to pass an envelope and to actually control the change higher harmonic relevant to actuation of a passage transistor to an envelope, so that a change (sampling) frequency is high. So, it is required for a sampling rate (sampling rate) to become very quick to the wide band width-of-face signal expected current and in the future. For example, in a pulse wave modulation (PWM), 20 or more times will be typically required for a sampling frequency so that the higher harmonic of a change frequency may not interfere with an envelope signal (that is, a sampling frequency must be at least 1.8MHz to the bandwidth which is 30kHz). However, even to the conventional DM, if a sampling frequency is too high, there is a problem of the superfluous change loss in a passage transistor, electromagnetic compatibility, and an overvoltage. For this reason, if a sampling frequency has a limit and that frequency is exceeded while DM amplifier does not need a saw cutting-edge waveform generator but a sampling frequency higher than a Pulse-Density-Modulation method is permitted, crossover loss and other problems will reduce effectiveness.

[0018] The above-mentioned fault in the conventional technique is canceled by the time amount interleave device of this invention which makes low the wave-like frequency impressed to the gate of a passage transistor, holding the whole effective sampling rate.

[0019] Drawing 5 is the simplified block diagram showing the approach by which delta modulation by which this invention was interleaved was carried out. As shown in drawing 5, two or more discrete delta modulation machines are used [ rather than ] for the type of modulation of this invention using the single bit-comparison machine which operates on the gate of a single passage transistor. These exact numbers determine the whole quantization error. For this



reason, in the instantiation shown in drawing 5, although the number of the interleaved delta modulation machines is 32, it will be easily understood by this contractor that the number of modulators can be fluctuated to the number of requests according to the specific requirement of a predetermined applicable field.

[0020] Anyhow, if drawing 5 is referred to continuously, it will be understood that each DM possesses the comparator C1 by which the strobe (strobe) was carried out to order at the rate  $1/N$  time the clock rate of a system clock and by which the clock was carried out thru/or C32. N is the number of the sum totals of a comparator here (that is, with the operation gestalt shown in drawing 5, they are 32 pieces). Only in  $360 \text{ degrees}/N$ , with the especially suitable operation gestalt of this invention, the phase has shifted to the clock of each comparator with which the clock of each comparator adjoins. Overlay of all clocks is equal to the effective sampling clock shown in drawing 6 A. The first four clocks are shown in drawing 6 B thru/or drawing 6 E, respectively. A comparator output is compounded by the synthetic module 50 (namely, integral), and generates the approximate value which is an input to power amplifier 58. In order to secure linear nature, the envelope detector 52 and an attenuator 54 offer the feedback loop from power amplifier 58 to a subtractor 56. These operate in the gross by the approach same with having connected to drawing 3 and the conventional DM format of drawing 4, and having mentioned already. Although the approximated wave showing the sum total of a comparator output is shown in drawing 7 A, on the other hand, the typical individual output from the first four comparators (C1, C2, C3, and C4) is shown in drawing 7 B thru/or drawing 7 E, respectively.

[0021] Drawing 8 A thru/or drawing 8 E are drawings based on the result of the interleaved delta modulation machine with which this invention was simulated. Drawing 8 A expresses, the input envelope signal, i.e., the amplitude information, supplied by DSP24 (refer to drawing 2). Drawing 8 B expresses the IDM approximation input to a subtractor, and drawing 8 C shows the error signal produced the result from the comparison of the signal shown in drawing 8 A and drawing 8 B. Drawing 8 D shows the sum total of a comparator output, and drawing 8 E shows the input envelope signal of drawing 8 A overlaid by gradual approximation of drawing 8 D.

[0022] As mentioned above, whole bandwidth and the accompanying whole sampling frequency determine the whole type-of-modulation effectiveness. This invention has prevented impressing a short (narrow) pulse to the circuit which drives amplifier so that it may be explained to a detail by the back. The output of each comparator is especially processed so that sampling element more nearly another than the single passage transistor of the conventional structure by which a corresponding pulse is shown in drawing 3 and drawing 4 may be driven. The comparison with the delta modulation technique, pulse width modulation, and single delta modulation technique by which this invention was interleaved is shown in drawing 9 A thru/or drawing 9 E. Drawing 9 A shows that a larger number of inefficient narrow pulses relate to the Pulse Density Modulation following single delta modulation (drawing 9 E). However, if the delta modulation technique by which this invention was interleaved is used as shown in drawing 9 B thru/or drawing 9 D, the number and width of face of a pulse which a single sensing element looks at will be determined by only the sampling rate of the whole request, and the total of delta modulation used. Even if it takes into consideration a large number relevant to use of many sensing elements in IDM of active devices so that it may become clear behind, since amplifier operates more efficiently, in addition, there is very little power consumption to extent of predetermined linear nature.

[0023] Drawing 10 A thru/or drawing 10 C are illustrating the result of a pulse wave modulation (PWM) and DM technique, and IDM technique, and the comparison of methodology. In PWM and DM technique, change loss is the average of  $V_{dd} \cdot I_{dd} \cdot t_r \cdot f$ . Here, for  $V_{dd}$ , supply voltage and  $I_{dd}$  are [ the start (or fall) time amount of a switching point and  $f$  of the current of a passage transistor and  $t_r$  ] the number of change generating. In DM, since a change seldom occurs, change loss is low rather than it is experienced by PWM. In IDM, change loss is done by the average of  $N \cdot V_{dd} \cdot I_{dd} / N \cdot t_r \cdot f$ . Here, N is the number of the modulators used, since the current which is  $1/N$  is passed when each passage transistor has the transistor of N individual -- general -- IDM -- DM and abbreviation -- it has the same loss. Generally, it can be said that it is the most inefficient although PWM is the linear, its linear nature is low although DM is more

efficient than PWM, and IDM is more efficient than PWM and is effectively comparable as DM. IDM is actually a compromise between DM and PWM on a rational change frequency. However, in a very high toggling speed, DM and the passage transistor for PWM may be unable to be efficiently switched irrespective of a drive current. For this reason, on a higher frequency, IDM becomes the only realistic solution.

[0024] With the operation gestalt shown in drawing 5, the 5-bit system which has 30 comparators will be observed, and it will be remembered that the output from these comparators is directly sent to a synthetic circuit. It is not realistic to compound an output to such a large number of comparators using the passage transistor and inductor of the same number. Therefore, according to the suitable operation gestalt of this invention, the synthetic vessel has incorporated the encoder which codes the data from a comparator. However, unlike a flash plate ADC, a comparator output is not coded with a "thermometer" mold. In IDM, as for this, a comparator output can become quantity or low at every moment substantially within time amount. Using a single ROM encoder is used by ADC from the former, and it is not [like] possible.

[0025] The typical encoder 60 which may be used for attaining the purpose of this invention is shown in drawing 11. Fundamentally, the output from each comparator is sampled using the S/H circuit which consists of a switch array 62 of N individual. Here, N is the number of a comparator input and holds 64, i.e., a storing capacitor. A comparator includes the buffer circuit which can carry out a sink (sink), and the power-source current which carries out the charge and discharge of the storing capacitor. Suitably, although a capacitor is the size which carries out charge and discharge by the steady state, since it is fully late, it eliminates a glitch (glitches). After passing through a buffer 66, the output of a S/H circuit is supplied to the up-and-down (up/down) counter 68. A buffer 66 offers isolation and strengthens drive capacity and a signal recurrence student. The output from the 0-N (32 comparators of operation gestalt of instantiation 31) ring counter 70 carries out each switch to sequential ON, and supplies the value of a comparator to an updown counter. Although it is easily confirmed by this contractor, an updown counter 68 is dependent on the value of a comparator, and is risen or downed in a count in binary number.

[0026] Now, reference of drawing 12 A shows the ring counter 70 of the encoder of drawing 11 more to a detail. As shown in drawing 12 A, a ring counter 70 is the gestalt of the shift register which "1" shifts from one phase to the next phase. When "1" reaches the last phase, a cycle is repeated so that it may be illustrated by drawing 12 B. Thus, the output of a ring counter operates each switch of the S/H array 62 in order. The interaction between the S/H arrays of the decoder illustrated by a ring counter and drawing 11 is shown to a detail by drawing 12 C. Here, the switch according to individual (from S0 to S31) operates by the ring counter, he reads the output of each comparator in order, and it is understood that a switch operates so that a comparator output may be sampled by 96MHz which is the same rate as a comparator operates / 32MHz (namely, 3MHz). The output will be sampled by the hold capacitor 64 if each switch is turned on by the ring counter 70. The value of a capacitor determines [to which an updown counter raises a count / or ] whether to carry out a down. Such a configuration is easy and, moreover, strong. Since the digital signal from a comparator is continuing being sampled, only height level needs to be important for the S/H engine performance, and does not especially need to be perfect.

[0027] As best shown in drawing 13, the up-and-down binary counter 68 may be constituted as a binary synchronous counter which is dependent on the level in an up-and-down port, and is risen or downed in a count. With the operation gestalt of instantiation shown in drawing 13, a JK-flip-flop circuit is used as a toggle device, and it is used for the XNOR gate controlling the up-and-down direction. As for the updown counter logic which is 0, a rise is shown for a down to Table 1 by 1.

[Table 1]

level	Qe	Qd	Qc	Qb	Qa
0	0	0	0	0	0
1	0	0	0	0	1
2	0	0	0	0	0
3	0	0	0	1	0
4	0	0	1	0	0
5	0	0	1	0	1
6	0	0	1	1	0
7	0	0	1	1	1
8	0	1	0	0	0
9	0	1	0	0	1
10	0	1	0	1	0
11	0	1	1	0	0
12	0	1	1	0	1
13	0	1	1	1	0
14	0	1	1	1	1
15	0	1	0	0	0
16	0	0	0	0	1
17	1	0	0	1	0
18	1	0	0	1	1
19	1	0	1	0	0
20	1	0	1	0	1
21	1	0	1	1	0
22	1	0	1	1	1
23	1	0	0	0	0
24	1	1	0	0	1
25	1	1	0	1	0
26	1	1	0	1	1
27	1	1	1	0	0
28	1	1	1	0	1
29	1	1	1	1	0
30	1	1	1	1	1
31	1	1	1	1	1

[0028] If reference of Table 1 and the both sides of drawing 13 is continued, Qa will carry out a toggle rise by each clock cycle, Qb will carry out a toggle rise at the rate of the one half of Qa, Qc carries out a toggle rise, when Qa and Qb are high level, fundamentally, Qd carries out a toggle rise, when Qa, Qb, and Qc are high level, and Qe carries out a toggle rise, when Qa, Qb, Qc, and Qd are high level (when the up and down of an exception are 1). On the contrary, Qa carries out a toggle down by each clock cycle, Qb carries out a toggle down, when Qa is a low, Qc carries out a toggle down, when Qa and Qb are lows, Qd carries out a toggle down, when Qa, Qb, and Qc are lows, and Qe carries out a toggle down, when Qa, Qb, Qc, and Qd are lows (when the up and down of an exception are 0). In order to prevent "cycling", if all Qe(s) are equal to 1, an updown counter 68 will count down from Qa in the case of count-up (that is, in 31, it does not fall in 0 but progresses to 30 instead). In the case of a count-down, from Qa, if all Qe(s) are equal to 0, an updown counter 68 will count up (that is, in 0, it does not progress to 31 but progresses to 1 instead). In order to guarantee setting the output from each flip-flop to 0 at the time of a start, the presetting control [ DEDIKETO / control ] may be used. When presetting is low, the output from a flip-flop is low, and when presetting is quantity, it operates normally.

[0029] Reference of drawing 14 shows the operation gestalt of instantiation of the synthetic vessel 50 which may be used in order to attain the IDM structure of instantiation shown in drawing 5. In the operation gestalt of drawing 14, since the synthetic vessel 50 is constituted as a Class S composition machine which had binary weight given, it can be used for decoding the IDM data coded by the encoder 60. Realistic more few alternatives process the individual input of 32 with a synthetic vessel. Anyway, he serves Class S modulator like unipolar 2 \*\* (SPDT) switch, and carrying out the chop of the DC-power-supply electrical potential difference will be easily understood by this contractor. Since drawing 11 thru/or the operation gestalt of drawing 13 consider the binary number output (Qa, Qb, Qc, Qd, and Qe) of five pieces from the encoder 68, five switch transistors which act as a respectively parallel Class S modulator are used for the synthetic vessel 50. For this purpose, any switch transistor which can be turned on and off

by electrical-potential-difference within the limits can be used. By the illustrated example, since a power PMOS switch transistor serves turning on and off with the input voltage of 3.3V within the limits from 0, it is considered for the structure of drawing 14 that it is an ideal.

[0030] Each free wheel diode D1 thru/or D5 relate to each saturated change mode transistor, in order to reduce the kickback effectiveness which can be returned to an instant halt of a current through a corresponding inductor (L, 2L, 4L, 8L and 16L). An inductor is compounded in the gross and supplies a current to a load 58 (refer to drawing 5), i.e., power amplifier. In this way, a free wheel diode gathers effectiveness by guaranteeing continuing passing an inductor current, in case any big electrical potential differences which cross an inductor and are prepared are prevented and a change element becomes off. The inductance value of 2L is chosen so that it may become twice L, and 4L is chosen, respectively so that 8L may become twice 4L and 16L may become twice 2L twice 8L. Although 16L which is the greatest inductor is used so that it may take charge of the minimum digit bit (LSB) in the minimum current, another side and the minimum inductor L take charge of the maximum digit bit in the highest current. In instantiation, when  $Q_a$  thru/or all  $Q_e(s)$  are lows, the output voltage impressed to power amplifier (as what was idealized with Load RL) is 0. When  $Q_a$  thru/or all  $Q_e(s)$  are high level, the output voltage impressed to power amplifier is equal to supply voltage, i.e., Vdd. The example of graphical representation which measured ideal supply voltage and the output which had the binary weight attained by the instantiation configuration of drawing 14 given is shown in drawing 15.

[0031] As a gate drive circuit for Power MOSFET, with the operation gestalt of drawing 14, as the class D amplifier was used, it should care about that there is an option with use of the saturated change mode amplifier. These gate actuators supply gate current and determine what the capacitance of a device carries out charge and discharge quickly. Furthermore, resistance can be used for offering [ of actuation ] wide band width of face more instead of an inductor. These resistance is easily incorporated in IC as a part of transistor structure as components according to individual. D5 is not required for this plot from the flyback diode D1. Similarly, losing an inductor and diode may reduce the dimension and costs of a synthetic vessel greatly.

However, since effectiveness falls, there is a price which should be paid from the standpoint of circuit actuation. However, effectiveness is still maintainable to 70% of range to the filtered signal which changes around an average value with a wave and which was modulated in digital one.

[0032] The power change section of the synthetic vessel in the GaAs module 82 of one which explained the function in relation to the transmitter structure, drawing 14, and drawing 15 of the instantiation which brought together the comparator and the encoder which explained the function in relation to drawing 11 thru/or drawing 13 in the CMOS module 80 of one is shown in drawing 16. The same element is expressed with the same number to drawing 16. Actuation of the power amplifier 58 which has the supply voltage modulated according to an interleaved new delta modulation technique which was before explained from now is omitted. When drawing 16 is continued and referred to, the high input drive current supplied from the synthetic vessel makes an amplifier transistor serve as an ideal switch. Since it is not possible to have a high voltage and a high current in coincidence with an ideal switch, there is no power consumption in a transistor, therefore it is 100% of effectiveness. In the power amplifier in the switched mode, output power is proportional to the square of supply voltage Vdd. Since this invention is asking for the fast operation, the electrical potential difference and current of a switch may produce not 0 but power loss in coincidence. To power amplifier 58, Class E actuation is suitable because of the switching time of such finite of a transistor. In the case of ON, a reactive network is formed so that it may have zero slope where a switch electrical potential difference crosses zero value and a switch.

[0033] Since it mentioned above, it is understood that the delta modulation technique by which this invention was interleaved offers many merits exceeding the conventional technique. It is that a high actuation frequency becomes possible the 1st. This is attained because the bigger minimum pulse becomes possible for [ predetermined ] sampling frequencies. It is enabling IDM 2nd to reduce the specification of a comparator. As for the comparator according to individual by which the clock was carried out which forms as instantiation a part of format that the comparator of such many was interleaved, the change by 200kHz may be required. Such a

comparator is very easier to design than what operates by 2MHz like [ the case of DM ]. Furthermore, the comparators used by this invention are high interest profit and twist low current more on a lower change frequency. This invention simplifies [ 3rd ] the requirement of filtering. A synthetic vessel is that of \*\*\*\* to an input signal about phase approximation so fundamentally, and it is only requiring an output filter removing both the approximate Sharp edge, and both [ either or ]. Furthermore, since there is a frequency component of an edge ripple with such high frequency, a filter consists of a component value of a small value. As instantiation, it is about 10 times the cut off frequency of this from a high-speed input signal frequency most. Moreover, a small filter reduces the delay which is a consideration important for re-composition of a phase and an amplitude signal. Since DM actuation has [ 4th ] few problems for a transient as compared with PWM, power loss is still low. Finally, as for this invention, use of a low frequency clock is included more. A sampling takes place by  $1/N$  of a total sampling rate. In each, N is the number of the interleaved comparators. More, a low frequency clock has better spectral purity, and does not bring a not much additional distortion to sampling processing so that I may be easily understood by this contractor.

[0034] Various techniques can be used although IDM of this invention is strengthened further. For example, a higher overdrive may be used for offering low on resistance. According to the requirement of a system, since battery voltage is restricted to 3.6V, in order for a gate signal to raise supply voltage to the maximum electrical potential difference which can carry out a swing rise, it is necessary to carry out a DC-DC converter. This gives higher crossover capacitance and a lower inductance, and on resistance reduces it by both. Moreover, parasitic capacitance decreases with reduction of gate die length. Moreover, in case a device is arranged, in order to make parasitic capacitance and parasitism resistance into min, it should make it certain to maintain the field of a transistor at min. The further advantage is decreasing the amplitude of the input signal before quantizing, without losing information. Thereby, a quantization error is reduced and the sampling rate used can be made low. For this reason, change loss is reduced. Magnification is performed after quantization takes place. In order to carry out the charge and discharge of the capacity to the last quickly, it is an advantage to incorporate a gate drive circuit in a passage transistor.

[0035] As mentioned above, although this invention was explained to the detail, this contractor should understand that it is possible to carry out various modification and exchange, without separating from the range of the largest this invention, and the essence of this invention.

---

[Translation done.]

## \* NOTICES \*

JP0 and NCIP1 are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

## DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram of the conventional high-frequency amplifier which uses EER.

[Drawing 2] It is the block diagram of the high-frequency amplifier of the DSP base which uses the delta modulation by which this invention was interleaved.

[Drawing 3] It is the block diagram of the delta modulation of 1 conventional operation gestalt.

[Drawing 4] It is the block diagram of the delta modulation of 1 conventional operation gestalt.

[Drawing 5] It is the simplified block diagram showing the approach by which two or more comparators by which time amount and a phase were offset according to this invention were used, and interleaved delta modulation was carried out.

[Drawing 6] It is drawing showing the whole component sampling clock rate constituted by each clock rate relevant to many comparators, and drawing 6 A shows drawing of a whole component sampling clock rate, and drawing 6 B thru/or drawing 6 E show drawing of many comparators.

[Drawing 7] Drawing 7 A is drawing showing the sum total of the comparator output used for the operation gestalt of drawing 5 of an approximation wave, and drawing 7 B thru/or drawing 7 E are drawings showing the typical individual output from four comparators (C1, C2, C3, and C4) of the beginning from the operation gestalt of drawing 5.

[Drawing 8] It is drawing based on the result by which the delta modulation by which this invention was interleaved was simulated. Drawing 8 A expresses, the input envelope signal, i.e., the amplitude information, supplied by DSP of drawing 2. Drawing 8 B expresses the IDM approximation input to the subtractor of drawing 5, and drawing 8 C shows the error signal produced the result from the comparison of the signal shown in drawing 8 A and drawing 8 B. Drawing 8 D shows the sum total of a comparator output, and drawing 8 E shows the input envelope signal of drawing 8 A overlaid by gradual approximation of drawing 8 D.

[Drawing 9] It is drawing showing the comparison with the delta modulation technique, pulse width modulation, and single delta modulation technique by which this invention was interleaved, and drawing 9 A and drawing 9 E show the number of pulses and continuation relevant to pulse width modulation and single delta modulation, respectively, and drawing 9 B thru/or drawing 9 D show the typical pulse output by two or more individual modulations used by this invention.

[Drawing 10] Drawing 10 A thru/or drawing 10 C are drawings showing the result of a pulse wave modulation (PWM) and DM technique, and IDM technique, and the comparison of methodology.

[Drawing 11] It is the block diagram of the typical encoder which may be used for attaining the purpose of this invention.

[Drawing 12] Drawing 12 A is drawing showing the detail of the ring counter of the encoder of 11. Drawing 12 B is drawing showing the signal output by the ring counter in case "1" shifts from the single step of a shift register to a next step story. Drawing 12 C is drawing showing more the S/H array of the decoder of instantiation of drawing 11, and the interaction between ring counters in a detail.

[Drawing 13] It is drawing showing the up-and-down binary counter which may be used for drawing 11 with the encoder of instantiation so that the approximation which had binary weight given according to the especially suitable operation gestalt of this invention may be attained.

[Drawing 14] It is drawing showing the operation gestalt of the synthetic vessel 50 which may be

used for carrying out typical CMOS structure shown in drawing 5 .

[Drawing 15] It is drawing which measured ideal supply voltage and the output which had the binary weight attained according to the structure of drawing 14 given.

[Drawing 16] It is drawing showing the transmitter of the instantiation which gathered the power change section in the synthetic vessel which really corresponds functionally in a gallium arsenide module in a CMOS module at drawing 14 and drawing 15 with the comparator/encoder which corresponds to drawing 11 thru/or drawing 13 functionally.

[Description of Notations]

24 DSP (Programmable Device)

26 Signal Generator

28 Power Amplifier

---

[Translation done.]

## \* NOTICES \*

JPO and NCIPJ are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

## DRAWINGS

## [Drawing 1]

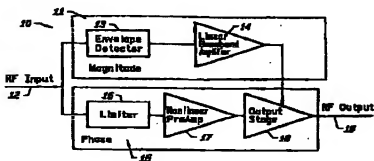


FIG. 1  
(PRIOR ART)

## [Drawing 2]

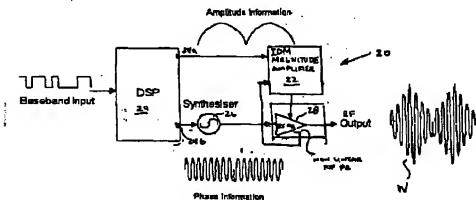
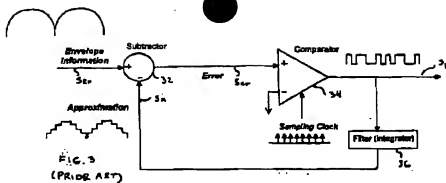


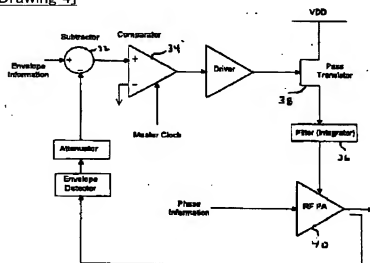
FIG. 2

## [Drawing 3]





[Drawing 4]

FIG. 4  
(PRIOR ART)

[Drawing 5]

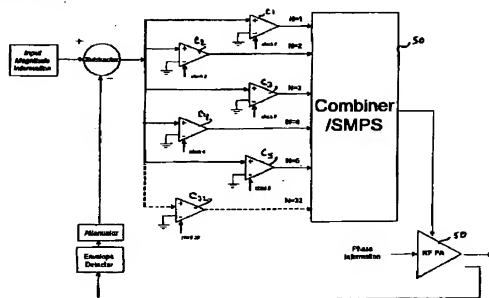
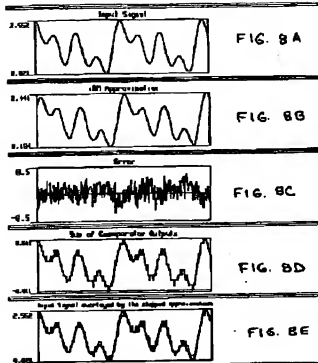
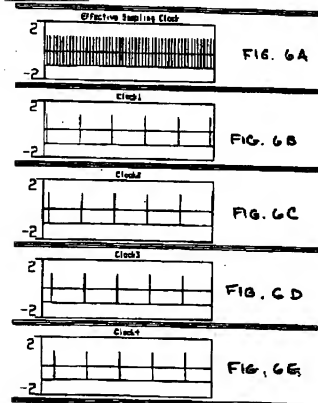


FIG. 5

[Drawing 8]



[Drawing 6]



[Drawing 7]

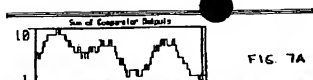


FIG. 7A

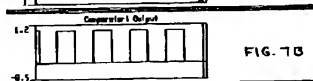


FIG. 7B

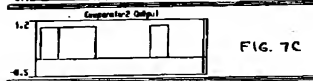


FIG. 7C

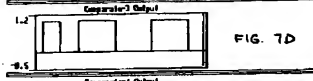


FIG. 7D



FIG. 7E

## [Drawing 9]

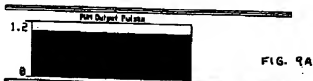


FIG. 9A

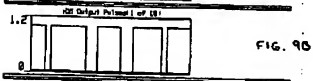


FIG. 9B



FIG. 9C

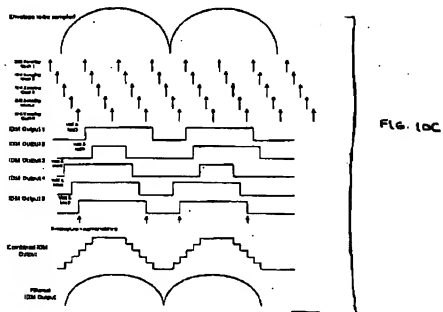
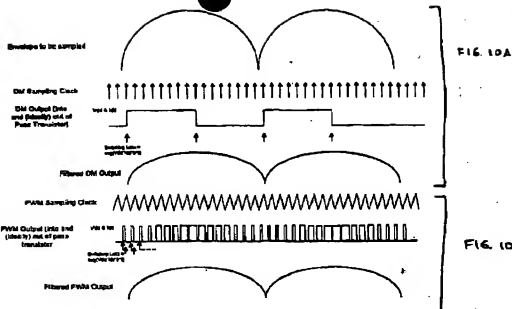


FIG. 9D



FIG. 9E

## [Drawing 10]



[Drawing 11]

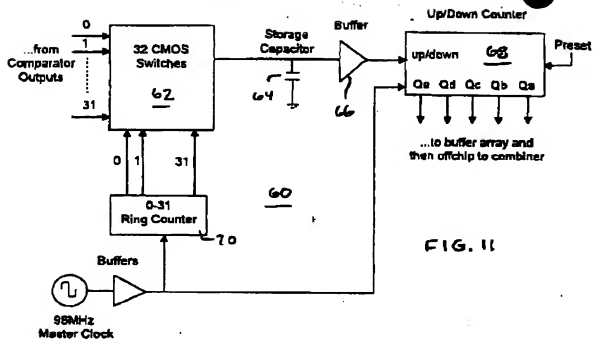


FIG. 11

[Drawing 13]

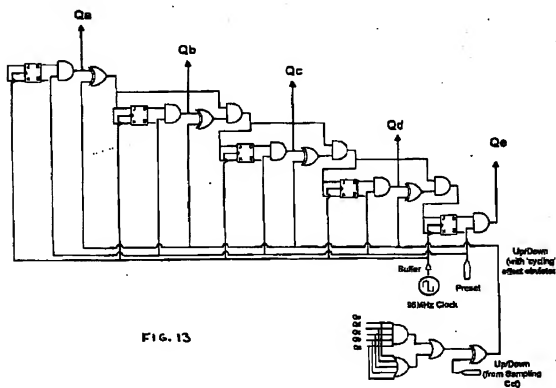


FIG. 13

[Drawing 12]

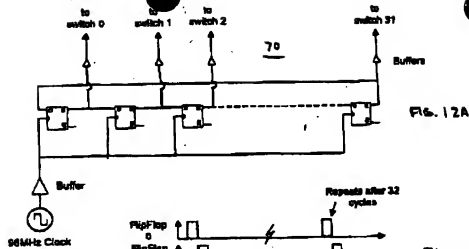
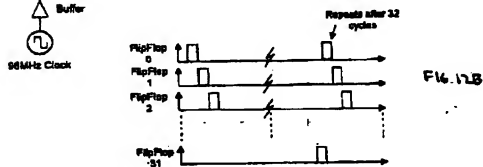


FIG. 12A



FILE 128

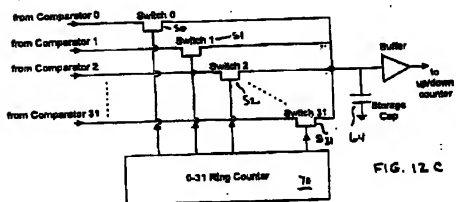


FIG. 12C

[Drawing 14]

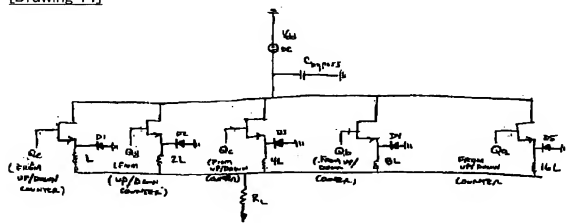


FIG. 14

[Drawing 15]

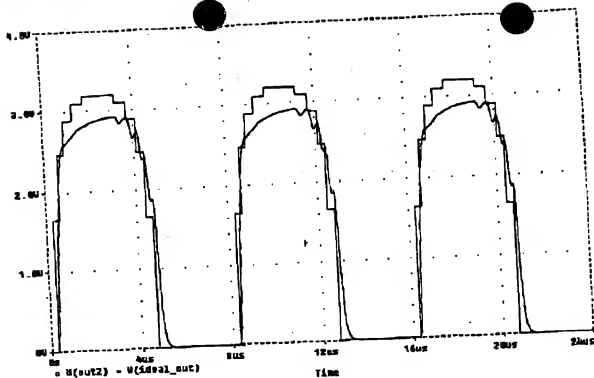


FIG. 15

FIG. 15

[Drawing 16]

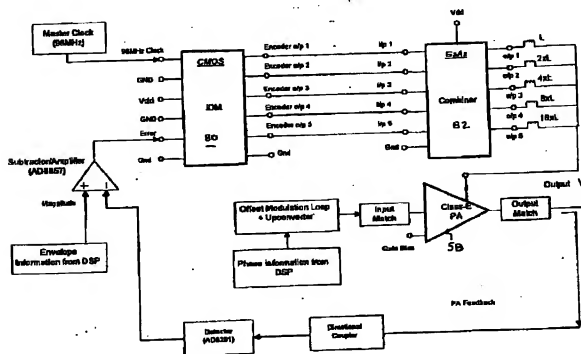


FIG. 16

[Translation done.]

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-156554  
(P2001-156554A)

(43) 公開日 平成13年6月8日(2001.6.8)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード(参考)
H 0 3 F	1/32	H 0 3 F	1/32
	1/02		1/02
	1/34		1/34
	3/24		3/24
H 0 3 M	3/02	H 0 3 M	3/02
		審査請求 未請求 請求項の数 9 O L (全 17 頁)	

(21)出願番号	特願2000-309898(P2000-309898)	(71)出願人	500472132 メイコム ユーロテック アイルランド国 コーク ブラックロック スケハードロード ローモホンテクノロ ジーパーク
(22)出願日	平成12年10月10日(2000. 10. 10)	(72)発明者	デビッド フィリップ バートン アイルランド国 ライムリック パーティ ーン フェアリーフィールド 37
(31)優先権主張番号	9 9 1 1 9 9 0 0 . 1	(72)発明者	ユージン バトリック ヒーニー アイルランド国 コーク ロチェスタウン フォックスウッド 23
(32)優先日	平成11年10月8日(1999. 10. 8)	(74)代理人	000227995 タイコエレクトロニクスアンプ株式会社
(33)優先権主張国	欧州特許庁 (E P)		最終頁に続

(54) 【発明の名称】 インターリーブされたデルタ変調を使用してデジタル情報を送信する装置及び方法

## (57) 【要約】

【解決手段】 複合ベースバンド波形を伴った高周波搬送波を直接変調する送信器は、複合ベースバンド波形に対応して振幅及び位相情報を総括的に発生するようになっているプログラム可能なデバイスと、位相が前記プログラム可能なデバイスにより発生した位相情報にตอบสนองした高周波搬送波を発生するようになっている信号発生器と、複数のデルタ変調器と、信号発生器に結合されると共に位相情報を伴った高周波搬送波を受信する増幅器とを具備する。デルタ変調器は、他の全てのデルタ変調器からずれた時間間隔でエラー信号をサンプリングするよう作動して振幅信号に総括的に近似するパルス流を発生する。増幅器の供給電圧は、デルタ変調器により発生したパルス流により表わされた近似振幅情報に従って調整される。供給電圧は供給電圧の変化を伴って略リニアに変化するように調整される。この方法では振幅情報及び前記位相情報が共に高周波搬送波上に印加される。

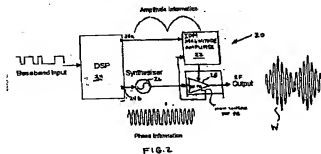


FIG. 2



## 【特許請求の範囲】

【請求項 1】複合ベースバンド波形を有する高周波搬送波を直接変調する送信器であって、

選択された複合ベースバンド波形に対応して振幅及び位相情報を総括的に発生するようになっているプログラム可能なデバイスと、

位相が前記プログラム可能なデバイスにより発生した位相情報に応答した高周波搬送波を発生するようになっている信号発生器と、

各々が他の全てのデルタ変調器からずれた時間間隔でエラー信号をサンプリングするよう動作することにより、前記振幅信号に総括的に近似するパルス流を発生する複数のデルタ変調器と、

前記信号発生器に結合され位相情報を有する前記高周波搬送波を受信する増幅器とを具備し、

前記パルス流により表わされた近似振幅情報に従って前記増幅器の供給電圧が調整され、その結果、前記増幅器の出力電圧が、前記供給電圧の変化に伴って略リニアに変化することにより、前記振幅情報及び前記位相情報が共に、前記高周波搬送波上に印加されることを特徴とする送信器。

【請求項 2】前記デルタ変調器の各々が比較器を有し、該比較器が、サンプリング速度の合計を  $1/N$  倍する ( $N$  は比較器の総数) ことにより、隣接する各比較器からずれた時間で個別にクロックされることを特徴とする請求項 2 記載の送信器。

【請求項 3】前記比較器の各々が、隣接する各比較器から  $360^\circ/N$  だけずれた位相でクロックされることを特徴とする請求項 2 記載の送信器。

【請求項 4】前記データ変調器による出力されたパルス流をデジタル的にコード化するエンコーダを更に具備することを特徴とする請求項 1 記載の送信器。

【請求項 5】前記エンコーダが複数のスイッチを含み、該スイッチの各々が、対応する変調器と関連し、各サンプリング期間に 1 回、対応する変調器パルス流を読み出すためオンになるように、前記各スイッチが順にトグルされることを特徴とする請求項 4 記載の送信器。

【請求項 6】直列の  $N$  個のフリップフロップ ( $N$  は、前記複数のスイッチによりサンプリングされる変調器の数) を具備するリングカウンタを更に含むことを特徴とする請求項 5 記載の送信器。

【請求項 7】前記複数のスイッチの出力を受信する  $m$  ビットアップダウンカウンタ ( $m$  は、前記複数のスイッチによりサンプリングされた変調器の数の 2 進表示) を更に含むことを特徴とする請求項 5 記載の送信器。

【請求項 8】前記アップダウンカウンタからの入力をそれぞれ受信する  $m$  個の平行情切換モードトランジスタを具備する S 級変調器を更に含むことを特徴とする請求項 7 記載の送信器。

【請求項 9】高周波搬送波上に変調された複合ベースバ

ンド波形を送信する送信器の動作方法であって、前記複合ベースバンド波形から派生する振幅情報を受信する工程と、

前記複合ベースバンド波形から派生する位相情報を搬送する高周波搬送波を受信する工程と、

複数のデルタ変調器でエラー信号をサンプリングする工程であって、前記デルタ変調器の各々が全ての他の変調器からずれた時間間隔でサンプリングすることにより、前記振幅情報を総括的に近似するパルス流を発生する工程と、

位相情報を伴った前記高周波搬送波を増幅器で受信し、パルス流により表わされる近似振幅情報に従って、増幅器の供給電圧を調整し、この結果、前記供給電圧の変化に伴って前記増幅器の出力が略リニアに変化することにより、前記振幅情報及び前記位相情報が共に高周波上に印加されることを特徴とする送信器動作方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、電力増幅器に関し、更に詳細には電力増幅器をリニア (linear) にする方法及び装置に関する。

## 【0002】

【従来の技術及び発明が解決しようとする課題】携帯電話技術においては、競争により急速且つ大幅な技術革新がもたらされてきている。現在、アナログ携帯電話システムがデジタル携帯システムと競合している。単一の携帯システムで繋がる加入者数を最大にするために、個別のセルサイト (cell sites) を小さくし且つより数の多いセルサイトを使用して同一の地理領域をカバーすることにより、周波数の再使用を最大化させている。これに伴い、携帯電話の基地局の数が増加した結果、基盤設備のコストが増大してきた。このコスト増大を避けるために、携帯電話サービスの提供者は、機器コスト、維持及び修復コスト及び稼働コストを低減することができ、又は携帯電話が繋がる加入者数と同様にサービスの品質及び信頼性を増大させることができる技術革新の実施を切望している。

【0003】この技術革新の多くは、拡張デジタル PCS サービスや、より長い寿命のバッテリーを有する、より小型で軽量の携帯電話等のサービス品質改善に向けられている。後者の目的の遂行において、高周波 (RF) 信号をネットワーク内での送信に適したレベルに増幅するのに使用される高周波電力増幅器の効率を改善することが、解決手段であると理解されている。高周波電力増幅器の効率は、携帯送信機等の携帯機器のバッテリー寿命に大きな影響を与える。というのは、増幅器が、機器が使用する殆どの電力を消費するのは典型だからである。従って、携帯送信機には、効率的な電力増幅器が切望されている。C, D, E, F 級の電力増幅器は、定振幅出力を発生する能力を有するのみである。しかし、最近の多

3

くの送信機設計は、所定のチャンネル帯域幅内でのデータの速度(rate)を最大にする非一定振幅高周波出力を必要とする。

【0004】適切なリニア高周波増幅器は、ガリウムヒ素デバイスを使用して製造することができる。しかし、ガリウムヒ素デバイスは、現在多くの応用分野では高価であると考えられている。一方、MOSは、その低製造コスト及び高い歩留りのため、半導体デバイスを製造する好適な工程である。しかし、MOSは、高効率増幅器を実施する際にリニア性がないことのため、リニア高周波増幅器の製造には従来から好適ではなかった。このようなリニア性欠乏により、増幅器の出力信号にかなりの歪が生ずる。リニアで効率的な電力増幅器を達成するために、当業界では様々なリニア化の試みが提案されてきている。

【0005】従来のリニア電力増幅器の設計には、効率とリニア性との間に二律背反(trade-off)が存在した。極変調(polar modulation)は、高周波電力増幅器のリニア性及び効率を同時に達成する。当業界で公知の技法である。また、極変調は、包絡線除去及び復元(envelope elimination and restoration:以下EERという)としても公知である。この手法において、ある高周波入力信号は、その極成分、即ち位相及び振幅に分解される。これら2種の極成分は独立して増幅され、次に増幅されたリニア高周波出力信号を発生するために再合成(recombine)される。高周波入力信号の位相成分は、効率を最適化する定振幅増幅器により増幅されるのが典型である。高周波入力信号の振幅即ち包絡線の成分は、定振幅増幅器の少なくとも出力段階用に電源として作動するスイッチモード電源により増幅されるのが典型である。

【0006】極変調を使用する種々の手法は、カーン著「包絡線除去及び復元による単側帯送信機」(1952年7月発行、803~806ページ)、及び第39回IEEE移動技術会議のセッション及びフィッシャー講演「デジタル携帯電話用835MHz高周波リニア電力増幅器」(1989年5月3日開催)で説明されている。図1は、上述のEER技法を利用した従来の高周波増幅器10のブロック図である。図1に示される従来の増幅器において、まず、高周波入力信号12がその極成分に分解される。これら極成分は、定振幅信号である位相と、低周波数包絡線信号である振幅とからなる。位相及び振幅成分は、別の経路15、11に沿ってそれぞれ独立して増幅される。次に、位相及び振幅成分は、リニアに増幅された高周波出力信号19を発生するよう再合成される。

【0007】位相成分は、リミッタ16により高周波入力信号から抽出され、非リニア前置増幅器17及び効率のよい非リニア位相出力段階18からなる効率のよい定振幅増幅器により増幅される。チャンネル帯域幅と比較可能な帯域幅を有する振幅成分は、包絡線検出器13により高周波入力信号から抽出され、リニアベースバンド

増幅器14により増幅される。効率を最大化するために、リニアベースバンド増幅器14は、出力段階としてD級増幅器を有するスイッチモードの電源を用いて実施される。

【0008】現行のスイッチモード電源の実施には、パルス幅変調が用いられる。このような電源の出力は、マーク・スペース比が高周波入力信号の振幅成分を表わす矩形波である。しかし、振幅成分を増幅するのにパルス幅変調を用いると、高周波出力に相互変調の歪をもたらす。従って、MOS等の低コスト工程を用いて製造することができ、高周波入力信号をリニアに増幅する高効率高周波増幅器を提供することが望ましい。

【0009】

【課題を解決するための手段】上記目的は、複合ベースバンド波形を有する高周波搬送波(RF carrier)を直接変調するトランジスタであって、複合ベースバンド波形に対応して振幅及び位相情報を絶続的に発生するようになっているプログラム可能なデバイスと、このプログラム可能なデバイスにより発生された位相情報に対して位相が応答した高周波搬送波を発生するようになっている信号発生器と、複数のデルタ変調器と、信号発生器に結合された位相情報を有する高周波搬送波を受信する増幅器とを具備するトランジスタにより達成される。各デルタ変調器は、他の全てのデルタ変調器からずれた時間間隔でエラー信号をサンプリングするよう作動することにより、振幅情報を絶続的に近似するパルス流を発生する。増幅器の供給電圧は、デルタ変調器により発生したパルス流により代表される近似した振幅情報に従って調整される。特に、供給電圧は、増幅器の出力電圧が供給電圧の変化に伴って略リニアに変化するよう調整される。この方法では、振幅情報及び位相情報の双方が、高周波搬送波上に印加される。

【0010】高周波搬送波上に変調された複合ベースバンド波形を送信するトランジスタの作動方法は、複合ベースバンド波形から派生する振幅情報を受信する工程と、複合ベースバンド波形から派生する位相情報を搬送する高周波搬送波を受信する工程と、複数のデルタ変調器を用いて他の全てのデルタ変調器からずれた時間間隔でエラー信号をサンプリングする各デルタ変調器を用いてエラー信号をサンプリングする工程からなり、これにより振幅情報を絶続的に近似するパルス流を発生することを特徴とする。この方法は、増幅器に位相情報を用いて高周波搬送波を受信する工程と、デルタ変調によりパルス出力流により代表される近似振幅に従って増幅器の供給電圧を調整することにより、供給電圧の変化に伴って略リニアに増幅器の出力電圧が変化する工程を更に有し、これにより振幅及び位相情報の双方を高周波搬送波上に印加する。

【0011】

【発明の実施の形態】以下、添付図面を参照して本発明

の実施形態を説明する。本発明は、図 1 に関連して上述した極変調コンセプトに部分的に基づいた、高効率で高いリニア性を示す高周波電力増幅器を提供する。本発明の好適実施形態は、高周波入力信号の定振幅位相成分を増幅する位相増幅路を含む。位相増幅路は、C 級出力段、D 級出力段、E 級出力段又は F 級出力段のいずれでもよい高効率で非リニアの位相出力段を含む。基本的には、出力振幅が印加電源電圧をリニアに追ういかなる高効率電力増幅器も使用することができる。高周波入力信号の振幅成分は、ユニークな高効率のインターリーブされたデルタ変調の形式 (scheme) を経由した別の振幅増幅路で増幅されるが、後に詳細に述べる。インターリーブされたデルタ変調された振幅増幅器の出力段は、好適には位相出力段用の電源電圧を供給する高効率の D 級、E 級又は F 級増幅器である。インターリーブされたデルタ変調された振幅増幅器により増幅された振幅成分出力は、位相出力段の電源電圧を変化させることにより、位相出力段で発生した高周波出力信号を振幅変調する。

【0012】電話が使用される通信ネットワークの動作パラメータとして通常固定されている所定レベルのリニア性に対しては、従来技術の変調システムが使用するパルス幅及びデルタ変調振幅増幅器の形式は、本発明のインターリーブされたデルタ変調振幅増幅器の補助で消費される電力よりも、高周波出力信号の製造においてより大きな電力を消費する。従って、本発明は、従来技術により提供されるよりもより効率的な変調を提供する。

【0013】図 2 は、本発明の好適実施形態に従ったインターリーブされたデルタ変調を含む込んだ増幅器 20 の簡略化されたブロック図である。図 2 に示された構造に使用されるインターリーブされたデルタ変調 (1DM) 振幅増幅モジュール 22 は、図 1 に示されるような高周波電力増幅器の振幅増幅経路における使用に好適である。しかし、図 2 に示される例示の実施形態では、複合ベースバンド波形成 (図 1 の場合のような) 別の位相及び振幅情報信号に分解するために包絡線除去を最初にしなければならない高周波入力信号を受信するよりむしろ、本発明に従った独立した工程が進行する前に、図 2 の増幅器 20 が、デジタル信号処理器 (DSP) 等のプログラム可能なデバイスを使用して別の出力ポート 24 a、24 b で振幅及び位相情報信号を別々に発生及び供給することが理解されよう。これらの情報信号は、選択された複合ベースバンド波形成に給動的に対応し、究極的には増幅された高周波出力信号として送信される。このようにして、図 2 に示されるように、リミッタ及び包絡線検出器の必要がなくなり、振幅信号及び位相信号が DSP 24 のポート 24 a、24 b に出力される。

【0014】図 2 を続けて参照すると、位相情報は、位相が DSP 24 で発生した位相情報に応答する高周波搬送波を発生する信号発生器即ちシンセサイザ 26 に向

られることが理解されよう。このため、高周波搬送波は、位相情報のみを含み、振幅情報を含まない高周波定包絡線信号である。高周波搬送波は、非リニア電力増幅器 28 により効率的に増幅される。本発明によれば、電力増幅器 28 の電力供給は、DSP 24 により作成される低周波数振幅情報信号により変調される。この目的のために、振幅情報は、後の詳細に説明されるインターリーブされたデルタ変調 (1DM) モジュール 22 に向けられる。1DM モジュール 22 は、送信される複合ベースバンド波形成の振幅成分の近似を表わす時間インターリーブされたデジタルビット流を発生する。現在、1DM モジュール 22 が複数のデルタ変調器を有し、各デルタ変調器が他のすべてのデルタ変調器からずれた時間間隔でエラー信号をサンプリングするために作動し、その各出力が、送信される複合ベースバンド波形成 W の振幅成分の絶对的に近似するパルス流を発生するために結合されようのに十分である。本発明によれば、それは、電力増幅器 28 の電力供給を調整する時間インターリーブされたデジタルパルス流である。

【0015】本発明で電力増幅器を駆動するためにインターリーブされたデルタ変調を使用することは、図 3 に簡略化されたブロック図が示されている従来のデルタ変調 (DM) 技法を越えた大きな進歩を示している。標準的な DM 構造 30 において、(複合ベースバンド波形成の低周波数振幅情報成分のみを搬送する) 入力包絡線信号 Sen は、エラー信号 Ser を発生するために包絡線の近似値 Sa と比較されることが当業者には理解されよう。減算器 32 を具備する帰還ループは、エラー信号 Ser を最小にしようと試み、近似値を入力信号に対して可能な限り近接させることを保証する。この目的のために、エラー信号 Ser は、単一ビット比較器 34 によりサンプリングされ、デジタルパルス流 Sp を生成する。次に、パルス流 Sp は、フィルタ・積分器 36 によりデジタルアナログ変換され、次に減算器 32 で入力包絡線信号 Sen と比較される。近似値を生成する。完成後の送信器・受信器システムにおいて、比較器 34 によるパルス出力は、受信端で積分され、近似値信号を回復するであろう。

【0016】図 4 は、従来のより複雑な DM 形式を示す。図 4 は、通過 (pass) トランジスタ 38 のゲートに印加される単一ビット比較器 34 の出力を更にする。これにより、高周波電力増幅器 40 に印加される供給電圧は、位相情報のみを搬送する高周波搬送波に対して適当な利得量で振幅を回復するよう変調される。包絡線検出器 42 及び減算器 44 は、減算器 32 内で比較のために電力増幅器 40 からの帰還信号を処理する。

【0017】パルス幅変調上の単一 DM 形式の主な利点は、過渡期の数がはるかに少ないこと、及び CMOS 技術を用いて比較的簡単且つ堅牢な切り換えられた容量回路を使用して実施可能であることである。十分なリニア性を得るために、信号の高周波帯域幅の少なくとも 3 倍

が正確にサンプリングされなければならないことは、当業者に容易に理解されよう。実際、包絡線に対して切換え(サンプリング)周波数が高いほど、包絡線を通過させ、通過トランジスタの動作に関連した切換え高調波を抑制することがより容易である。それ故、現在及び将来期待されている広い帯域幅信号に対しては、サンプリング速度(sampling rate)が非常に速くなることが必要である。例えば、パルス波変調(PWM)において、サンプリング周波数は、切換え周波数の高調波が包絡線信号と干渉しないように、典型的には20倍以上が必要であろう(即ち、30kHzの帯域幅に対して、サンプリング周波数は少なくとも1.8MHzでなければならない)。しかし、従来のDMに対しては、サンプリング周波数が高すぎるなら、通過トランジスタ内の過剰切換え損失、電磁干渉及び過電圧の問題がある。このため、DM増幅器は、のこぎり刃波発生器を必要とせず、パルス幅変調法より高いサンプリング周波数を許容する一方、サンプリング周波数に制限があり、その周波数を超えると、クロスオーバー損失及び他の問題が効率を低下させる。

【0018】従来技術における上述の欠点は、全体の有効サンプリング速度を保持しながら通過トランジスタのゲートに印加される波形の周波数を低くする本発明の時間インターリーブ機構により解消される。

【0019】図5は、本発明のインターリーブされたデルタ変調が実施された方法を示す簡略化されたブロック図である。図5に示されるように、本発明の変調形式は、単一の通過トランジスタのゲート上で動作する単一ビット比較器を使用するよりも、複数の離散デルタ変調器を使用する。これらの正確な数は、全体の量子化エラーを決定する。このため、図5に示される例示において、インターリーブされたデルタ変調器の数は32であるが、変調器の数は、所定の応用分野の特定の要求事項に従って所望数に増減可能であることが当業者に容易に理解されよう。

【0020】とにかく、続けて図5を参照すると、各DMは、システムクロック速度の1/N倍のクロック速度で順にストロブ(strobe)されたクロックされた比較器C1ないしC32を具備することが理解される。ここでNは、比較器の合計の数である(即ち、図5に示された実施形態では32個である)。本発明の特に好適な実施形態では、各比較器のクロックは、隣接する各比較器のクロックに対して $360^\circ/N$ だけ位相がずれている。すべてのクロックのオーバーレイは、図6Aに示された実効サンプリングクロックに等しい。最初の4個のクロックは、図6Bないし図6Eにそれぞれ示される。比較器出力は、合成モジュール50で合成(即ち積分)され、電力増幅器58に対して入力である近似値を生成する。リニア性を確保するために、包絡線検出器52及び減算器54は、電力増幅器58から減算器56までの帰還ループを提供する。これらは、図3及び図4の従来のDM形式と

結び付けて既述したのと同様の方法で絶縁的に動作する。比較器出力の合計を表わす近似された波形は図7Aに示されるが、一方、最初の4個の比較器(C1, C2, C3及びC4)からの代表的な個別出力は図7Bないし図7Eにそれぞれ示される。

【0021】図8Aないし図8Eは、本発明のシミュレートされたインターリーブされたデルタ変調器の結果に基づいた図である。図8Aは、DSP24(図2参照)により供給された入力包絡線信号即ち振幅情報を表わす。図8Bは、減算器に対する1DM近似入力を表わし、図8Cは、図8A及び図8Bに示された信号の比較からの結果とするエラー信号を示す。図8Dは、比較器出力の合計を示し、図8Eは、図8Dの段階的近似によりオーバーレイされた図8Aの入力包絡線信号を示す。

【0022】上述したように、変調形式の全体効率を決定するのは、全体の帯域幅及び付随するサンプリング周波数である。後により詳細に説明されるように、本発明は、増幅器を駆動する回路に対して短い(狭い)パルスを印加することを未然に防いでいる。とりわけ、各比較器の出力は、対応するパルスが例えば図3及び図4に示される従来の構造の単一通過トランジスタより別のサンプリング要素を駆動するように処理される。本発明のインターリーブされたデルタ変調技法とパルス幅変調及び単一デルタ変調技法との比較が図9Aないし図9Eに示されている。図9Aは、より大きな数の非効率の狭いパルスが、単一デルタ変調(図9E)に続くパルス幅変調に関連することを示す。しかし、図9Bないし図9Dに示されるように、本発明のインターリーブされたデルタ変調技法を用いて、単一感知要素が見るパルスの数及び幅は、所望の全体のサンプリング速度及び使用されるデルタ変調の全数によってのみ決定される。後に明らかにように、1DM内の多数の感知要素の使用に関連した大きな数のアクティブデバイスを考慮してもなお、増幅器は、より効率的に動作するので、所定のリニア性の程度に対して消費電力が非常に少ない。

【0023】図10Aないし図10Cは、パルス波変調(PWM)及びDM技法との結果及び方法論の比較を図示している。PWM及びDM技法において、切換え損失は $V_{dd} \times I_{dd} \times t_r \times f$ の平均である。ここで、 $V_{dd}$ は供給電圧、 $I_{dd}$ は通過トランジスタの電流、 $t_r$ は切換え点の立上がり(又は立下がり)時間、 $f$ は切換え発生数の数である。DMにおいては、切換えがあまり発生しないので、切換え損失はPWMで経験されるよりも低い。1DMにおいては、切換え損失は、 $N \times V_{dd} \times I_{dd} \times t_r \times f$ の平均で与えられる。ここで、Nは使用される変調器の数である。各通過トランジスタは、N個のトランジスタがある場合、1/Nの電流を流すので、一般的に1DMはDMと略同損失を有する。一般的に、PWMは最もリニアであるが最も非効率であり、DMはPWMより効率的だがリニア性が低く、1DMはPWMより効率的で

あつてDMと同程度の効率であるということが出来る。  
 実際、IDMは、合理的な切換え周波数でDM及びPWMの間の妥協点である。しかし、非常に高い切換え速度では、DM及びPWM用の通過トランジスタは、駆動電流にかかわらず、効率的に切換えることはできないかもしれない。このため、より高い周波数では、IDMが唯一の現実的な解決になる。

【0024】図5に示された実施形態では、30個の比較器を有する5ビットシステムが観察され、これら比較器からの出力が合成回路に直接送られることが思い出されよう。このような大きな数の比較器に対しては、同数の通過トランジスタ及び誘導器を用いて出力を合成することは現実的でない。従って、本発明の好適実施形態によれば、合成器は、比較器からのデータをコード化するエンコーダを組み込んでいる。しかし、フラッシュADCとは異なり、比較器出力は、「温度計」型でコード化されない。これは、IDMにおいて比較器出力が、時間内の実質的にどの瞬間でも高又は低になり得る。単一ROMエンコーダを使用することは、従来からADCで使

用されてよいには可能ではない。  
 【0025】図11には、本発明の目的を達成するのに使用され得る典型的なエンコーダ60が示される。基本的には、各比較器からの出力は、N個のスイッチアレー62からなるS/H回路を用いてサンプリングされる。ここで、Nは比較器入力、及びホールド即ち格納コンデンサ64の数である。比較器は、シンク(sink)することが出来るバッファ回路と、格納コンデンサを充電する電源電流を含む。コンデンサは、好適には定常状態で充電電流のようなサイズであるが、十分に遅いのでグリッチ(gitches)を排除する。バッファ66を介して通過した後、S/H回路の出力がアップダウン(up/down)カウンタ68に供給される。バッファ66は、隔離を提供し、駆動能力及び信号再発生を強化する。0-N(例示の実施形態の32個の比較器では31)リングカウンタ70からの出力は、各スイッチを順次オンにし、アップダウンカウンタに比較器の値を供給する。当業者には容

易に確められることであるが、アップダウンカウンタ68は、比較器の値に依存して2進数的にカウントをアップ又はダウンする。

【0026】さて、図12Aを参照すると、図11のエンコーダのリングカウンタ70がより詳細に示される。図12Aに示されるように、リングカウンタ70は、一つの段階から次の段階に「1」がシフトするシフトレジスタの形態である。「1」が最後の段階に達したとき、図12Bに図示されるようにサイクルを繰り返す。このように、リングカウンタの出力は、順にS/Hアレー62の各スイッチを動作させる。リングカウンタ及び図11に例示されたデコーダのS/Hアレー間の相互作用は、図12Cにより詳細に示される。ここで、個別のスイッチ(S0からS31)がリングカウンタにより動作されて各比較器の出力を順に読み出し、スイッチは、比較器が動作するのと同じ速度である96MHz/32MHz(即ち3MHz)で比較器出力がサンプリングされるように動作されることが理解される。各スイッチがリングカウンタ70によりオンになると、その出力がホールドコンデンサ64にサンプリングされる。コンデンサの値は、アップダウンカウンタがカウントをアップするかダウンするかを決定する。このような構成は簡単であつてしかも堅牢である。とりわけ、比較器からのデジタル信号がサンプリングされ続けているので、S/H性能は高低レベルのみが重要であつて、完全である必要はない。

【0027】図13に最もよく示されるように、アップダウン2進カウンタ68は、アップダウンポートでのレベルに依存してカウントをアップ又はダウンする2進同期カウンタとして構成されてもよい。図13に示された例示の実施形態では、JKフリップフロップ回路がトグルデバイスとして使用され、XNORゲートがアップダウン方向を制御するのに使用される。アップが1でダウンが0であるアップダウンカウンタ論理は表1に示される。

【表1】

level	Qc	Qd	Qc	Qb	Qa
0	0	0	0	0	0
1	0	0	0	0	0
2	0	0	0	1	0
3	0	0	0	1	0
4	0	0	0	1	0
5	0	0	0	1	0
6	0	0	0	1	0
7	0	0	0	1	0
8	0	1	0	0	0
9	0	1	0	0	0
10	0	1	0	0	0
11	0	1	0	0	0
12	0	1	0	0	0
13	0	1	0	0	0
14	0	1	0	0	0
15	0	1	0	0	0
16	0	1	0	0	0
17	1	0	0	0	0
18	1	0	0	0	0
19	1	0	0	0	0
20	1	0	0	0	0
21	1	0	0	0	0
22	1	0	0	0	0
23	1	0	0	0	0
24	1	0	0	0	0
25	1	0	0	0	0
26	1	0	0	0	0
27	1	0	0	0	0
28	1	0	0	0	0
29	1	0	0	0	0
30	1	0	0	0	0
31	1	0	0	0	0

【0028】基本的には、表1及び図13の双方の参照を続けると、Qaは各クロックサイクルでトグルアップし、QbはQaの半分のレートでトグルアップし、Qcは、Qa及びQbが高レベルの時にトグルアップし、Qdは、Qa、Qb及びQcが高レベルの時にトグルアップし、Qeは、Qa、Qb、Qc及びQdが高レベルの時にトグルアップする（例外はアップダウンが1の場合）。逆に、Qaは各クロックサイクルでトグルダウンし、Qbは、Qaが低レベルの時にトグルダウンし、Qcは、Qa及びQbが低レベルの時にトグルダウンし、Qdは、Qa、Qb及びQcが低レベルの時にトグルダウンし、Qeは、Qa、Qb、Qc及びQdが低レベルの時にトグルダウンする（例外はアップダウンが0の場合）。「サイクリング」を防止するために、カウントアップの際に、QaからQeが全て1に等しいなら、アップダウンカウンタ68がカウントダウンする（即ち、31では0に下がらず、代わりに30に進む）。カウントダウンの際に、QaからQeが全て0に等しいなら、アップダウンカウンタ68がカウントアップする（即ち、0では31に進まず、代わりに1に進む）。各フリップフロップからの出力をスタート時に0にセットすることを保証するために、デディケートされたプリセット制御を使用してもよい。プリセットが低の場合、フリップフロップからの出力は低であり、プリセットが高の場合、

正常に作動する。

【0029】図14を参照すると、図5に示された例示のIDM構造を達成するために使用され得る合成器50の例示の実施形態を示される。図14の実施形態において、合成器50は2進の重みをつけられたS級合成器として構成されているので、エンコーダ60によりコード化されたIDMデータを解釈するのに使用できる。現実的にはより少ない代替物が合成器で32の個別入力を処理する。ともあれ、S級変調器は、単極2投（SPDT）スイッチのように振る舞い、直流電源電圧をチョップすることが当業者に容易に理解されよう。図11ないし図13の実施形態がエンコーダ68から5個の2進数出力（Qa、Qb、Qc、Qd及びQe）を考えているので、合成器50は、それぞれ平行的なS級変調器として作用する5個のスイッチトランジスタを使用する。この目的のためには、電圧範囲内でオンオフできるいずれのスイッチトランジスタも使用することができる。例示された例によって、電力PMOSスイッチトランジスタは、0から3.3Vの範囲内の入力電圧でオンオフの振る舞いをするので、図14の構造にとって理想と見做される。

【0030】各フリーホイールダイオードD1ないしD5は、対応するインダクタ（L、2L、4L、8L及び16L）を通して電流の瞬時停止に帰せられるキックバ

ック効果を低減するために、飽和した各切換えモードトランジスタに関連する。インダクタは、総括的に合成して負荷即ち電力増幅器58(図5参照)に電流を供給する。こうして、フリーホイールダイオードは、インダクタを横切って設けられるいかなる大きな電圧をも防止し、切換え要素がオフになる際にインダクタ電流を流し続けることを保証することにより、効率を上げる。2Lのインダクタンス値はLの2倍になるように選択され、4Lは2Lの2倍に、8Lは4Lの2倍に、16Lは8Lの2倍になるようにそれぞれ選択される。最大のインダクタである16Lは、最低電流にある最小桁ビット(LSB)を担当するよう使用されるが、他方、最小のインダクタLは、最高電流にある最大桁ビットを担当する。例示的には、 $Q_a$  ないし  $Q_e$  が全て低レベルの場合、(負荷RLによって理想化されたものとしての)電力増幅器に印加される出力電圧は0である。 $Q_a$  ないし  $Q_e$  が全て高レベルである場合、電力増幅器に印加される出力電圧は、電源電圧即ちVddと等しい。理想供給電圧と、図14の例示構成により達成される2進の重みをつけた出力とを比較した図形的代表例は、図15に示されている。

【0031】電力MOSFET用のゲート駆動回路として図14の実施形態ではD級増幅器を使用したように、飽和した切換えモード増幅器の使用とは別の方法があることに留意すべきである。これらのゲート駆動器は、ゲート電流を供給し、デバイスのキャパシタンスがいに迅速に充放電するかを決定する。さらに、抵抗は、インダクタの代わりに、動作のより広い帯域幅を提供するのに使用できる。これら抵抗は、個別の部品として又はトランジスタ構造の一部として、IC内に容易に組み込まれる。フライバックダイオードD1からD5はこの筋書きには必要ではない。同様に、インダクタ及びダイオードをなくすることは、合成器の寸法及び費用を大きく低減するかもしれない。しかし、効率が低下するので、回路動作の見地から、支払うべき価格がある。しかし、波形がある平均値の周囲で変化する、濾波されたデジタル的に変調された信号に対して、効率率は依然として70%の範囲まで維持することができる。

【0032】図11ないし図13に関連して機能を説明した比較器・エンコーダを一体のCMOSモジュール80に集めた例示の送信器構造、及び図14及び図15に関連して機能を説明した一体のGaAsモジュール82内の合成器の電力切換え部は、図16に示される。図16には同様の要素が同様の番号で表わされている。今からは、以前説明した新規のインターリーブされたデルタ変調技法にしたがって変調された供給電圧を有する電力増幅器58の動作は、省略される。図16を続けて参照すると、合成器から供給された高い入力駆動電流は、増幅器トランジスタを理想スイッチとして振る舞わせる。理想スイッチによって、高電圧及び大電流を同時に有する

ことは可能ではないので、トランジスタにおける電力消費は無く、従って、100%の効率である。切り換えられたモードの電力増幅器において、出力電圧は供給電圧Vddの2乗に比例する。本発明は高速動作を求めているので、スイッチの電圧及び電流は同時に0ではなく、電力損失を生じ得る。電力増幅器58に対しては、トランジスタのこのような有限の切換え時間のため、E級動作が好適である。オンの際に、リアクタンス性のネットワークは、スイッチ電圧が0値及びスイッチを横切る0スロープを有するよう形作る。

【0033】前述したことから、本発明のインターリーブされたデルタ変調技法は、従来技術を越える多くのメリットを提供することが理解される。第1に、高動作周波数が可能になることである。これは、所定のサンプリング周波数用に、より大きな最小パルスが可能になることで達成される。第2に、IDMが比較器の仕様を減らすことを可能にすることである。例示として、このような多くの比較器のインターリーブされた形式の一部を形成する、クロックされた個別の比較器は、200KHzでの切換えが要求されるかもしれない。このような比較器は、DMの場合のように、2MHzで動作するものよりも設計が非常に簡単である。更に、本発明により使用された比較器は、より低い切換え周波数でより高利得及びより低電流である。第3に、本発明は濾波の要求事項を簡略化する。合成器は入力信号に大して基本的に共振近接を創る。合成器は、近似のシャープエッジ及びリプルをいづれか一方又は両方を除去することを要するのみである。更に、このような高周波数でエッジリプルの周波数成分があるので、フィルタは小さな値の成分値からなる。例示として、最も高速の入力信号周波数より約10倍のカットオフ周波数である。また、小さなフィルタは、位相及び振幅信号の再合成に重要な考慮事項である遅延を減らす。第4に、PWMと比較してDM動作に固有の過渡波の数が少ないので、電力損失は低いままである。最後に、本発明は、より低周波数クロックの使用が含まれている。サンプリングは、全サンプリング速度の1/Nで起こる。個々で、Nはインターリーブされた比較器の数である。当業者には容易に理解されるように、より低周波数クロックは、よりよいスペクトル純度を有し、サンプリング処理にあまり付加的な歪をもたらさない。

【0034】本発明のIDMを更に強化するのに、種々の技法を使用することができる。例えば、より高いオーバードライブを低いオン抵抗を提供するのに使用するかもしれない。システムの要求事項により、バッテリー電圧が3.6Vに制限されているので、供給電圧を、ゲート信号がスイングアップでいる最大電圧に上げるためにDC-DCコンバータを実施する必要がある。これは、より高いクロスオーバーキャパシタンス及びより低いインダクタンスを与え、両者によりオン抵抗が低減する。また、

ート長さの減少に伴い、寄生容量が減少する。また、デバイスをレイアウトする際、寄生容量及び寄生抵抗を最小にするために、トランジスタの領域を最小に保つことを確実にすべきである。更なる利点は、情報を失うことなく、量子化される前の入力信号の振幅を減少することである。これにより、量子化エラーを低減し、使用されるサンプリング速度を低くできる。このため、切換え損失を低減する。増幅は、量子化が起こった後に行われる。最後に、容量を迅速に充放電するためにゲート駆動回路を通過トランジスタ内に組み込むことが利点である。

【0035】以上、本発明を詳細に説明したが、最も広い本発明の範囲及び本発明の神髄から離れることなく、種々の変更、交換をすることが可能であることは当業者は理解すべきである。

#### 【図面の簡単な説明】

【図1】EERを使用する従来の高周波増幅器のブロック図である。

【図2】本発明のインターリーブされたデルタ変調を使用するDSPベースの高周波増幅器のブロック図である。

【図3】従来の一実施形態のデルタ変調のブロック図である。

【図4】従来の一実施形態のデルタ変調のブロック図である。

【図5】本発明に従って時間及び位相がオフセットされた複数の比較器を使用して、インターリーブされたデルタ変調が実施された方法を示す、簡略化されたブロック図である。

【図6】多数の比較器に関連した個々のクロック速度により構成された全体成分サンプリングクロック速度を示す図であり、図6Aは全体成分サンプリングクロック速度の図を示し、図6Bないし図6Eは多数の比較器の図を示す。

【図7】図7Aは図5の実施形態に使用された比較器出力の合計を表わす近似波形の図であり、図7Bないし図7Eは図5の実施形態からの最初の4個の比較器(C1, C2, C3及びC4)からの代表的な個別出力を示す図である。

【図8】本発明のインターリーブされたデルタ変調のシミュレートされた結果に基づく図であり、図8Aは図2のDSPにより供給された入力包絡線信号即ち振幅情報

を表わし、図8Bは図5の減算器に対する1DM近似入力を表わし、図8Cは図8A及び図8Bに示された信号の比較からの結果生ずるエラー信号を示し、図8Dは比較器出力の合計を示し、図8Eは図8Dの段階的近似によりオーバーレイされた図8Aの入力包絡線信号を示す。

【図9】本発明のインターリーブされたデルタ変調技法とパルス幅変調及び単一デルタ変調技法との比較を示す図であり、図9A及び図9Eはパルス幅変調及び単一デルタ変調に関連したパルスの数及び持続をそれぞれ示し、図9Bないし図9Dは本発明で使用する複数の個別変調による代表的パルス出力を示す。

【図10】図10Aないし図10Cは、パルス被変調(PWM)及びDM技法と、1DM技法との結果及び方法論の比較を示す図である。

【図11】本発明の目的を達成するのに使用され得る典型的なエンコーダのブロック図である。

【図12】図12Aは11のエンコーダのリングカウンタの詳細を示す図である。図12Bは「1」がシフトレジスタの一段階から次段階にシフトするとき、リングカウンタによる信号出力を示す図である。図12Cは図11の例示のデコーダのS/Hアレー及びリングカウンタ間の相互作用をより詳細に示す図である。

【図13】本発明の特に好適な実施形態に従って2進の重みづけられた近似を達成するように図11に例示のエンコーダで使用され得るアップダウン2進カウンタを示す図である。

【図14】図5に示された典型的な1DM構造を実施するのに使用され得る合成器50の実施形態を示す図である。

【図15】理想供給電圧と、図14の構造により達成された2進の重みづけられた出力とを比較した図である。

【図16】一体CMOSモジュール内に図11ないし図13に機能的に対応する比較器/エンコーダと、一体ガリウムヒ素モジュール内に図14及び図15に機能的に対応する合成器を電力切換え部とを集合した例示の送信器を示す図である。

#### 【符号の説明】

- 24 DSP (プログラム可能なデバイス)
- 26 信号発生器
- 28 電力増幅器



【図 1】

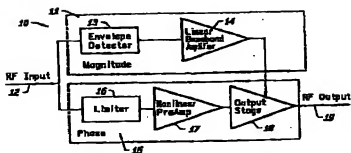


FIG. 1  
(PRIOR ART)

【図 2】

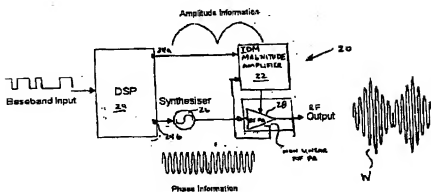


FIG. 2

【図 3】

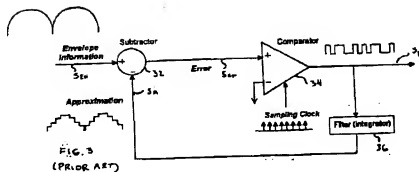
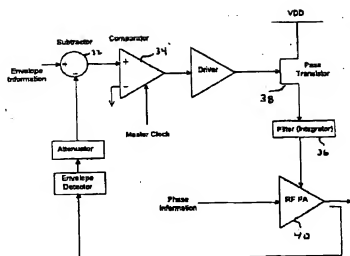
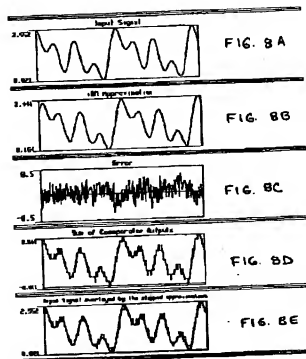


FIG. 3  
(PRIOR ART)

【図 4】

FIG. 4  
(Prior Art)

【図 8】



【図 5】

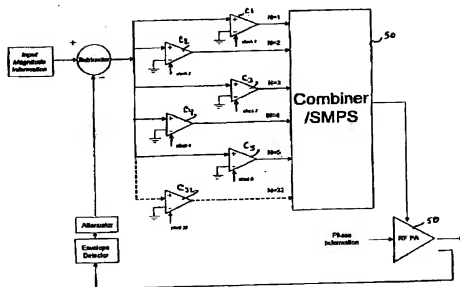
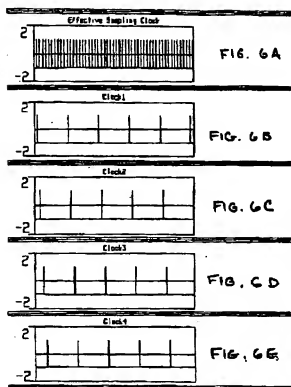
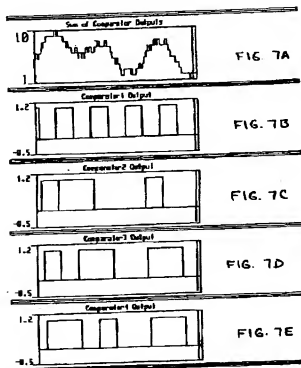


FIG. 5

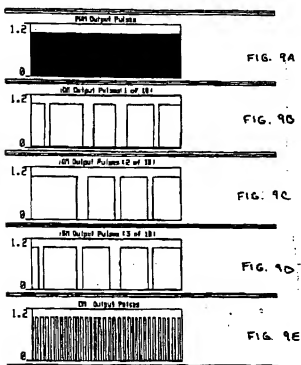
【図 6】



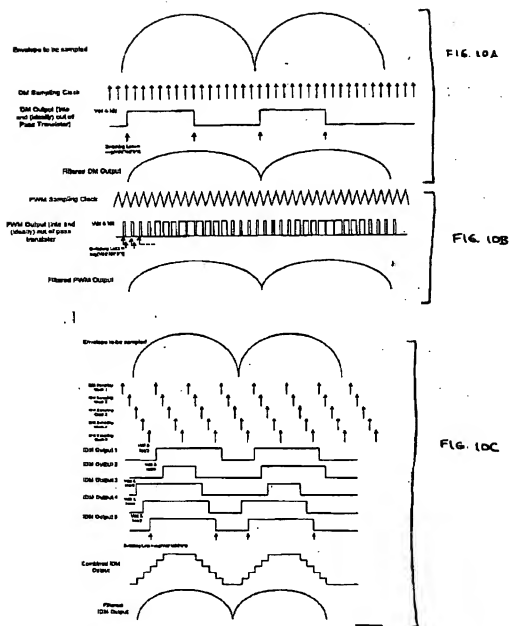
【図 7】



【図 9】



【図 10】



【図 11】

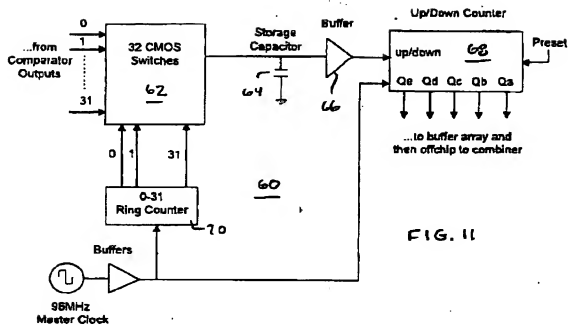


FIG. 11

【図 13】

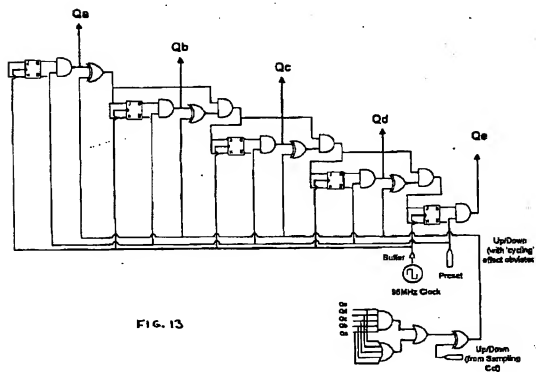
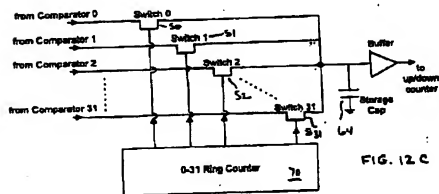
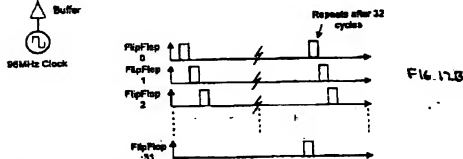
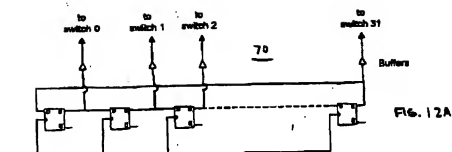
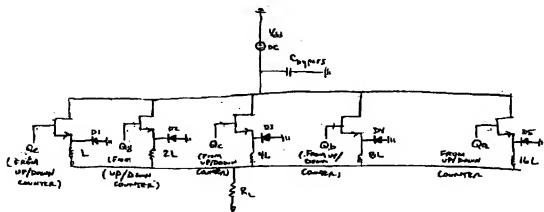


FIG. 13

【図 12】



【図 14】



【図 15】

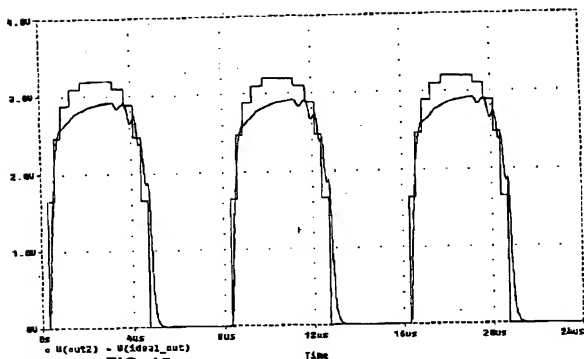


FIG. 15

FIG. 15

【図 16】

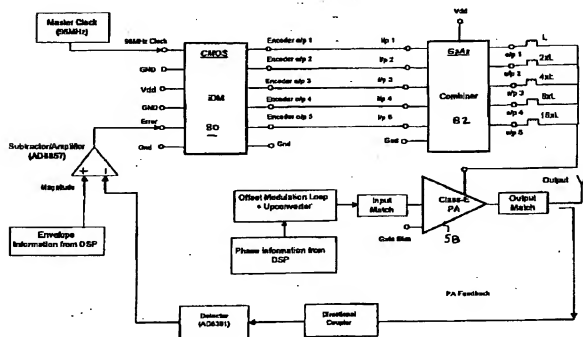


FIG. 16

フロントページの続き

(72)発明者 ビアス ジョセフ ネーグル  
アイルランド国 コーク サウスダグラス  
ロード ヒータートンパーク 19



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**